

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-335682

(43)Date of publication of application : 22.12.1995

(51)Int.Cl.

H01L 21/60

(21)Application number : 06-124957 (71)Applicant : IWATE TOSHIBA ELECTRON
KK

TOSHIBA CORP

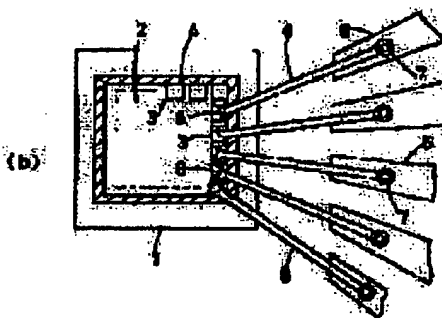
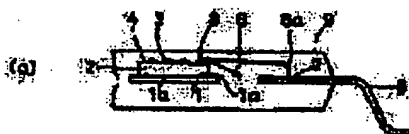
(22)Date of filing : 07.06.1994 (72)Inventor : TAKAHASHI YUKIO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide the fine pitch of bonding pads, to further expedite low loop bonding, to increase pins and to reduce in thickness a package by ball bonding inner leads and stitch bonding them to the electrodes of a semiconductor chip.

CONSTITUTION: The semiconductor device comprises a semiconductor chip 2 and frame inner leads 5 connected to the electrodes 3 of the chip 2 via wires 6 by a nail head wire bonding type for stitch bonding after ball bonding. The chip 2 is resin-sealed in the type in which parts of the leads 5 are externally drawn. In such a semiconductor device, the leads 5 are bonded, the electrodes 3 of the chip 2 are stitch bonded, and the electrodes 3 of the chip 2 are connected to the leads 5 via the wires 6.



LEGAL STATUS

[Date of request for examination] 06.03.2000

[Date of sending the examiner's decision of rejection] 16.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-335682

(43) 公開日 平成7年(1995)12月22日

(51) Int. Cl.
H01L 21/80級別記号
S01 D
B

庁内整理番号

P I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平6-124957

(22) 出願日 平成6年(1994)6月7日

(71) 出願人 000158150

岩手県芝エレクトロニクス株式会社
岩手県北上市北工業団地6番6号

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 高橋 幸夫

岩手県北上市北工業団地6番6号 岩手県
芝エレクトロニクス株式会社内

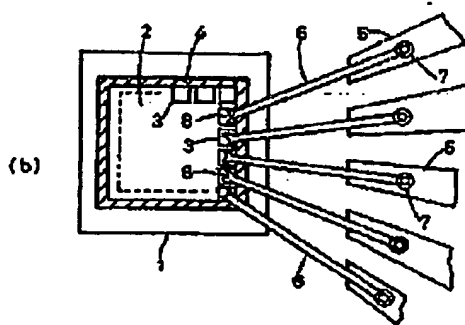
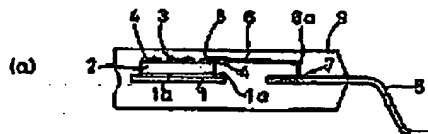
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 ボンディングパットのファインピッチ化をより一層促進させることにより多ピン化を可能にし、且つ低ループボンディング化を一層促進させることによりパッケージの薄型化を可能にした半導体装置を提供することである。

【構成】 半導体チップと、ボールボンディング後にスタッチボンディングを行うヘイルヘッドワイヤボンディング方式により前記半導体チップの電極にワイヤを介して接続されたフレームインナーリードとを備え、前記フレームインナーリードの一部を外部へ引き出す形で前記半導体チップを樹脂封止した半導体装置において、前記フレームインナーリードに対して前記ボールボンディングを行い、前記半導体チップの電極に対して前記スタッチボンディングを行って、前記ワイヤを介して該半導体チップの電極を前記フレームインナーリードに接続した。



(2)

特開平7-335682

1

【特許請求の範囲】

【請求項1】 半導体チップと、ボールボンディング後にスタッチボンディングを行うネイルヘッドワイヤボンディング方式により前記半導体チップの電極にワイヤを介して接続されたフレームインナーリードとを備え、前記フレームインナーリードの一部を外部へ引き出す形で前記半導体チップを樹脂封止した半導体装置において、前記フレームインナーリードに対して前記ボールボンディングを行い、前記半導体チップの電極に対して前記スタッチボンディングを行って、前記ワイヤを介して該半導体チップの電極を前記フレームインナーリードに接続したことを特徴とする半導体装置。

【請求項2】 前記半導体チップの電極上にバンパを設けたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記バンパよりも低くなる膜厚で前記半導体チップの少なくとも表面外周部に絶縁膜を形成したことを特徴とする請求項2記載の半導体装置。

【請求項4】 ボールボンディング後にスタッチボンディングを行うネイルヘッドワイヤボンディング方式により半導体チップの電極をワイヤを介してフレームインナーリードに接続するワイヤボンディング工程と、前記フレームインナーリードの一部を外部へ引き出す形で前記半導体チップを樹脂封止する樹脂封止工程とを有する半導体装置の製造方法において、前記ワイヤボンディング工程は、前記フレームインナーリードに対して前記ボールボンディングを行った後、

前記半導体チップの電極に対して前記スタッチボンディングを行うことを特徴とする半導体装置の製造方法。

【請求項5】 前記半導体チップの電極上にバンパを形成するバンパ形成工程を前記ワイヤボンディング工程の前に行うことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記バンパ形成工程と前記ワイヤボンディング工程との間に、前記バンパよりも低くなる膜厚で前記半導体チップの少なくとも表面外周部に絶縁膜を形成する絶縁膜形成工程を行うことを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ネイルヘッドワイヤボンディング方式を用いて半導体チップとフレームインナーリードとを接続し、且つ樹脂封止した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来より、樹脂封止型半導体装置において、LSIチップ上の電極とパッケージ端子間をワイヤで接続するワイヤボンディング法としては、気方向性ボンディングが可能で作業性に優れたネイルヘッドワイヤボンディング方式が用いられることが多い。

2

【0003】 このネイルヘッドワイヤボンディング方式を用いた半導体装置は、図7に示すようにリードフレームダイパッド101上にマウントされたLSIチップ102の電極(A1)パッドにボールボンディング(第1ボンディング部103)を行い、フレームインナーリード104にスタッチボンディング(第2ボンディング部105)を行い、ボンディングワイヤ(ループ)106を介してLSIチップ102がフレームインナーリード104に接続されている。

【0004】 さらに、前記フレームインナーリード104の一部を外部へ引き出す形でLSIチップ102がモールド樹脂107によって樹脂封止されている。

【0005】 このようなネイルヘッドワイヤボンディング方式を用いた樹脂封止型半導体装置は、近年の多ピン化に伴うLSIチップの縮小化と同時に、ボンディングパッド(LSIチップの電極パッド)のファインピッチ化が進んできており、現在、ボンディングキャピラリの形状及びボンダー装置の精度向上により、100~110μm程度のパッドピッチが可能となっている。

【0006】 さらに、上記のファインピッチ化と共に、パッケージの薄型ニーズに伴う低ループボンディング化も進み、低ループワイヤ及び低ループコントロールボンダ装置により、100~150μmまでのループの高さを実現している。

【0007】

【発明が解決しようとする課題】 しかしながら、上記従来のネイルヘッドワイヤボンディング方式を用いた半導体装置では、次のような問題点があった。

【0008】 すなわち、ボンディングパッドのファインピッチ化が進む中で、チップの電極パッドにボールボンディングを行うに際し、隣り合うワイヤとボンディングキャピラリとの接触がボンディングの対応限界を決定してしまい、現状では約100~110μm程度のパッドピッチが限界となっている。

【0009】 また、低ループボンディング化が進む中で、前記ボールボンディングを行う場合には必ずボール直上のワイヤの立上がり(図7の108)が必要となるため、ループの高さを低くコントロールするにしても、ループの高さはワイヤ径の約3~4倍(100μm前後)程度が限界である。

【0010】 このように、従来の樹脂封止型半導体装置では、前述したボンディングパッドのファインピッチ化、及び低ループボンディング化において技術的限界に達し、より一層の多ピン化や薄型化が困難となっていた。

【0011】 本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、ボンディングパッドのファインピッチ化をより一層促進させることにより多ピン化を可能にした半導体装置及びその製造方法を提供することである。またその他の目的は、低ループ

50

(3)

特開平7-335682

3

ボンディング化を一層促進させることによりパッケージの薄型化を可能にした半導体装置及びその製造方法を提供することである。

【0012】

【課題を解決するための手段】上記目的を達成するために本発明の半導体装置の特徴は、半導体チップと、ボールボンディング後にスタッチボンディングを行うネイルヘッドワイヤボンディング方式により前記半導体チップの電極にワイヤを介して接続されたフレームインナーリードとを備え、前記フレームインナーリードの一部を外側へ引き出す形で前記半導体チップを樹脂封止した半導体装置において、前記フレームインナーリードに対して前記ボールボンディングを行い、前記半導体チップの電極に対して前記スタッチボンディングを行って、前記ワイヤを介して該半導体チップの電極を前記フレームインナーリードに接続したことにある。

【0013】また、上述の半導体装置において、前記半導体チップの電極上にバンパを設けることが望ましい。

【0014】また、上述の半導体装置において、前記バンパよりも低くなる膜厚で前記半導体チップの少なくとも表面外周部に絶縁膜を形成することが望ましい。

【0015】上記目的を達成するために本発明における半導体装置の製造方法の特徴は、ボールボンディング後にスタッチボンディングを行うネイルヘッドワイヤボンディング方式により半導体チップの電極をワイヤを介してフレームインナーリードに接続するワイヤボンディング工程と、前記フレームインナーリードの一部を外側へ引き出す形で前記半導体チップを樹脂封止する樹脂封止工程とを有する半導体装置の製造方法において、前記ワイヤボンディング工程は、前記フレームインナーリードに対して前記ボールボンディングを行った後、前記半導体チップの電極に対して前記スタッチボンディングを行うことにある。

【0016】また、上述の半導体装置の製造方法において、前記半導体チップの電極上にバンパを形成するバンパ形成工程を前記ワイヤボンディング工程の前に行うことが望ましい。

【0017】また、前記バンパ形成工程と前記ワイヤボンディング工程との間に、前記バンパよりも低くなる膜厚で前記半導体チップの少なくとも表面外周部に絶縁膜を形成する絶縁膜形成工程を行うことが望ましい。

【0018】

【作用】上述の如き構成の本発明の半導体装置及びその製造方法によれば、フレームインナーリードに対してボールボンディングを行い、半導体チップの電極に対してスタッチボンディングを行って、ワイヤを介して半導体チップの電極をフレームインナーリードに接続したことで、半導体チップ上のワイヤ立上がり部が無くなる。これにより、ボンディング時にキャピラリがワイヤ立上がり部に接触するといったことがなくなり、半導体

4

チップの電極のファインピッチ化が促進されると共に、前記ワイヤ立上がり部の高さ分の薄型化が可能となる。

【0019】また、前記半導体チップの電極上にバンパを設けることにより、半導体チップの表面と段差が形成され、スタッチボンディング時に、キャピラリが半導体チップの電極周辺の素子にダメージを与えるのを防止することができる。

【0020】また、前記バンパよりも低くなる膜厚で前記半導体チップの少なくとも表面外周部に絶縁膜を形成することにより、半導体チップのエッジ部にワイヤが接触した時の電氣的ショートを防止することができる。

【0021】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。図1(a)、(b)は、本発明を実施した半導体装置の構造を示す図であり、同図(a)は概略断面図、及び同図(b)は概略平面図である。

【0022】この半導体装置は、リードフレームダイパッド1上にマウント剤1aによって搭載されたLSIチップ2を有し、このLSIチップ2の電極であるA1(アルミ)パッド上には、約20~30μmのバンパ3が形成されている。さらに、LSIチップ2の表面外周部には、前記バンパ3よりも低くなる膜厚で(約4~7μm)ポリイミド等の絶縁膜4が形成されている。

【0023】そして、LSIチップ2のバンパ3とフレームインナーリード5とが本発明のネイルヘッドワイヤボンディング方式によりワイヤ(Au線)6を介して接続されている。すなわち、フレームインナーリード5に対してボールボンディング(第1ボンディング部7)が行われ、前記LSIチップ2のバンパ3に対してスタッチボンディング(第2ボンディング部8)が行われる。これによって、フレームインナーリード5側にワイヤ6の立上がり部6aが形成されると共に、前記絶縁膜4をLSIチップ2の表面外周部に形成したので、LSIチップ2のエッジ部にワイヤ6が接触した場合であっても、電氣的ショートを未然に防止することができる。

【0024】さらに、前記フレームインナーリード5の一部を外側へ引き出す形でLSIチップ2がモールド樹脂9によって樹脂封止されている。

【0025】次に、上記本実施例の半導体装置の製造方法を図2~図5を用いて説明する。

【0026】まず、図2(a)に示すように、LSIウェハー2Aの表面のA1パッド上に、A1やAuなどのバンパ3をめっきや蒸着法によって形成する。続いて、LSIチップ2の表面外周部に絶縁膜4を形成するために、図2(b)に示すように、このウェハー2Aの表面全面に感光性ポリイミドを塗布して硬化させポリイミド膜4Aを形成する。

【0027】さらに、図2(c)に示す工程では、前記絶縁膜4の形状に相当するパターンマスクを介してポリイミド膜4Aを露光してパターンニングを行う。すなわ

50

(4)

特開平7-335682

5

ち、ポリイミド膜4Aにおける例えば先が照射されない部分に前記絶縁膜4の形状に相当するパターンを露光4Bが形成される。

【0028】その後、ウェーハ2Aをエッチング液に浸漬することにより、露光4Bの部分の絶縁膜4として残り、その他の部分のポリイミド膜4Aはエッチング除去される(図3(d))。

【0029】そして、例えばダイシングソー方式により、ウェーハ2Aを個々のLSIチップ2に分割する。この時、絶縁膜4がチップの表面外周部に形成されるように、ウェーハ2Aの絶縁膜4が形成されている領域に対して図3(d)に示すA-A'、B-B'のように切断する。

【0030】このようにして、個々のLSIチップ2の表面外周部に絶縁膜4を形成した後、図3(e)に示すように、分割された個々のLSIチップ2を、Au-Si共晶合金等のマウント剤1aによりリードフレームダイパッド1上に接着する。

【0031】次に、本発明のキールヘッドワイヤボンディング方式によりワイヤボンディング工程を実施する。

【0032】まず、フレームインナーリード5に対してボールボンディングを行うために、図4(a)に示すように、キャピラリ11の孔に貫通したワイヤ6の先端に火花放電によってボール7aを形成しておくと共に、フレームインナーリード5を約300℃に加熱し、加えて、キャピラリ11をフレームインナーリード5のボンディング位置の直上へ移動する。

【0033】続いて、図4(b)に示すようにキャピラリ11を該ボンディング位置に下降して加圧し、フレームインナーリード5にワイヤ7のボール7aを圧着し(ボールボンディング:第1ボンディング部7)、その後キャピラリ11を上昇させる(図4(c))。

【0034】次いで、前記LSIチップ2の bumps 3に対してスタッチボンディングを行うために、キャピラリ11をLSIチップ2における bumps 3の直上へ移動させる(図5(d))。

【0035】その後、図5(e)に示すように、キャピラリ11を bumps 3上に下向きに移動させて加圧し、LSIチップ2の bumps 3にワイヤ6を圧着する(スタッチボンディング:第2ボンディング部8)。この時、LSIチップ2は予め約300℃に加熱され、ボンディング荷重は5.1~7.8MPa程度とする。

【0036】本実施例では、LSIチップ2のA1パッド上に前記 bumps 3を設けたので、LSIチップ2の表面と段差が形成され、このスタッチボンディング時に、キャピラリ11がLSIチップ2のA1パッド周辺の素子にダメージを与えるのを防止することができる。

【0037】前記スタッチボンディング後は、キャピラリ11を一定位置に上昇し、そしてワイヤを切断すれば、本実施例のワイヤボンディング工程が終了する(図

6

5(f))。

【0038】ワイヤボンディング工程が終了した後は、例えばトランスファーモールド法により樹脂封止工程(図示省略)を行う。

【0039】すなわち、専用成形機に取り付けられた金型に、フレームインナーリード5にワイヤボンディングされたLSIチップ2を嵌填し、型締めを行う。さらに、既に成形温度(170℃)に加熱された金型に、樹脂材料を注入してモールド樹脂9として硬化させる(図1)。

【0040】以上のように本実施例によれば、フレームインナーリード5に対してボールボンディングを行い、LSIチップ2の bumps 3に対してスタッチボンディングを行ったので、LSIチップ2上のワイヤ立上がり部が短くなる。このため、ボンディング時において、従来のようにキャピラリ11がワイヤ立上がり部に接触するといったことがなくなり、LSIチップ2のA1パッドのファインピッチ化を促進することができ、且つパッケージの薄型化を図ることができる。

【0041】具体的には、例えば一般TSOP製品(1.0mm厚のパッケージ)において、図6(a)に示すように従来のLSIチップ102におけるA1パッド102a間のピッチP1は100~110μmであるのに対し、本実施例のピッチP2は、図6(b)に示すように70~80μmと縮小され、一層のファインピッチ化が達成されている。

【0042】同様に、図6(a)に示すように従来のフレームインナーリード104の表面からLSIチップ2上のワイヤ立上がり部108のトップまでの距離L1は500μmであり、そのうち、ワイヤ立上がり部108の長さR1は100μmである。これに対して前記距離L1に相当する本実施例における距離L2は400μmとなり、一層の薄型化が達成されている。

【0043】なお、本発明は上記実施例に限定されず種々の変形が可能である。例えば、上記実施例では、絶縁膜4をLSIチップ2の表面外周部のみに形成したが、LSIチップ2の全表面(bumps 3を除く)に形成するようにしてもよい。

【0044】

【発明の効果】以上詳細に説明したように半導体装置及びその製造方法によれば、フレームインナーリードに対してボールボンディングを行い、半導体チップの電極に対してスタッチボンディングを行って、ワイヤを介して半導体チップの電極をフレームインナーリードに接続したので、キャピラリがワイヤ立上がり部に接触するといったことがなくなり、半導体チップの電極のファインピッチ化を一層促進させることができ、多ピン化が可能となる。さらに、パッケージの薄型化も一層促進させることができる。

【0045】また、前記半導体チップの電極上に bumps

(5)

特開平7-335682

7

を設けることにより、ステッチボンディング時にキャピラリが半導体チップの電極周辺の素子にダメージを与えるのを未然に防止することができる。

【0046】また、前記パンプよりも低くなる膜厚で前記半導体チップの少なくとも表面外周部に絶縁膜を形成することにより、半導体チップのエッジ部にワイヤが接触した時の電気的ショートを防止することが可能となる。

【図面の簡単な説明】

【図1】本発明を実施した樹脂封止型半導体装置の構造を示す図である。

【図2】実施例における半導体装置の製造方法を示す工程図（その1）である。

【図3】実施例における半導体装置の製造方法を示す工程図（その2）である。

【図4】実施例におけるワイヤボンディング工程を示す図（その1）である。

10

*

*【図5】実施例におけるワイヤボンディング工程を示す図（その2）である。

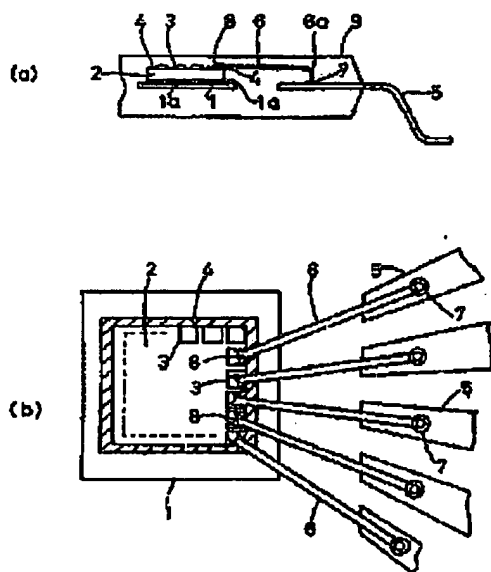
【図6】実施例の効果を示すための図である。

【図7】従来の樹脂封止型半導体装置の構造を示す図である。

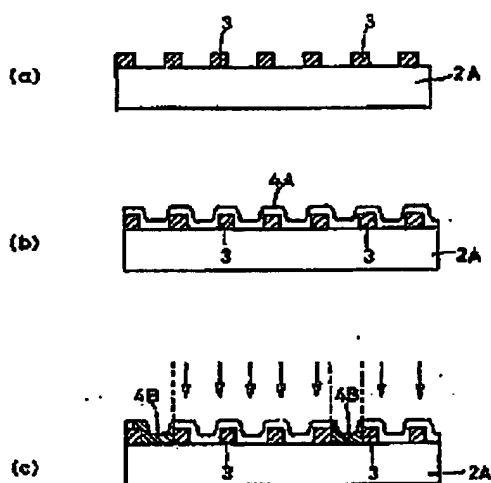
【符号の説明】

- 1 リードフレームダイパッド
- 2 LSチップ
- 3 パンプ
- 4 絶縁膜
- 5 フレームインナーリード
- 6 ワイヤ
- 7 第1ボンディング部
- 7a ボール
- 8 第2ボンディング部
- 9 モールド樹脂
- 11 キャピラリ

【図1】



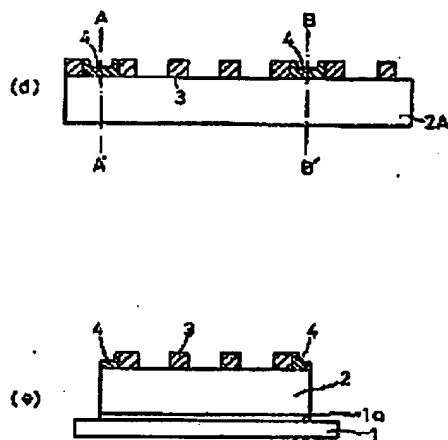
【図2】



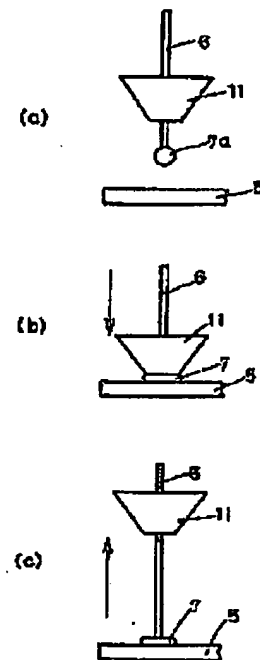
(5)

特開平？-335682

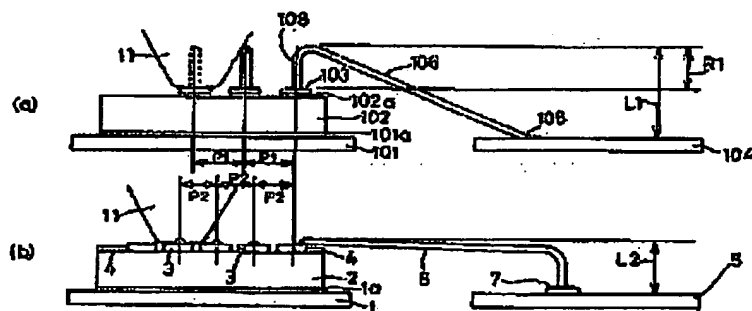
【圖3】



【圖4】



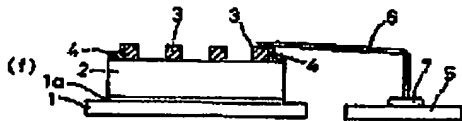
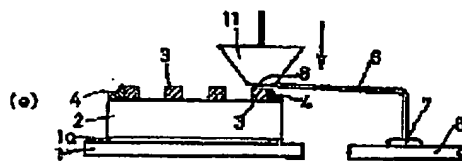
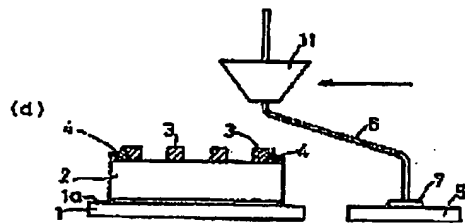
【圖 6】



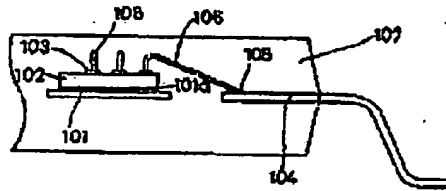
(7)

特開平7-335682

【図5】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.